

**VARIABLE LOOP GAIN FREQUENCY SYNTHESIZER**

Patent Number: WO9629785  
Publication date: 1996-09-26  
Inventor(s): HORI KAZUYUKI (JP); KOKUBO MASARU (JP)  
Applicant(s): HITACHI LTD (JP); HORI KAZUYUKI (JP); KOKUBO MASARU  
Requested Patent:  WO9629785  
Application WO1995JP00477 19950317  
Priority Number(s): WO1995JP00477 19950317  
IPC Classification: H03L7/18  
EC Classification: H03L7/107, H03L7/089C4F, H03L7/095  
Equivalents:  
Cited Documents: JP4207322; JP63090214; JP1024630

**Abstract**

A frequency synthesizer comprising a phase frequency comparator (1), switching circuits (3n and 3p), constant-current sources (4n and 4p), a loop filter (5), a voltage-controlled oscillator (6), and a frequency divider (7) is provided with a first signal generator (8) which detects the absolute value of phase difference based on the output signal of the phase-frequency comparator (1), a second signal generator (9) which generates a pulse signal whose temporal ratio between the high and low levels is determined based on the output of the generator (8), switching circuits (11n and 11p) which are driven by the output signal of the generator (9), and constant-current sources (12n and 12p) connected to the circuits (11n and 11p). The temporal ratio between the high and low levels of the output of the generator (9) changes during the period when the circuits (3n and 3p) conduct. The electric current supply from the constant-current sources (12n and 12p) is effected or stopped based on the signal. Therefore, the loop gain is increased or decreased in accordance with the phase difference.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

PCT

世界知的所有権機関

国際事務局

## 特許協力条約に基づいて公開された国際出願



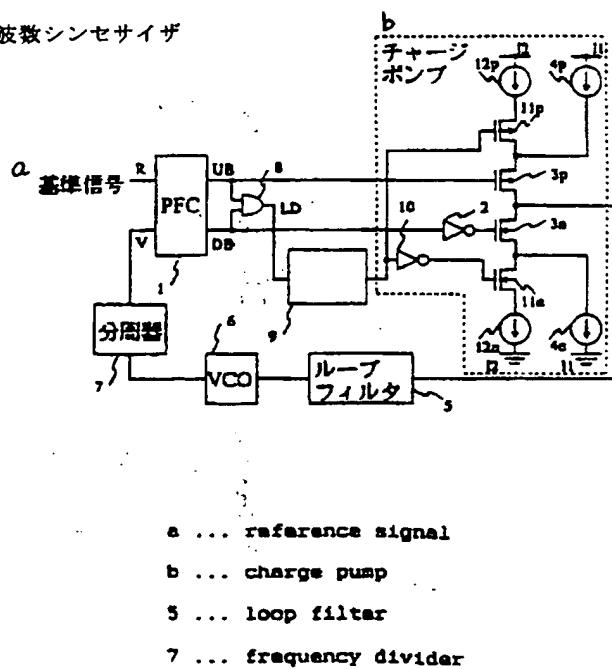
(51) 国際特許分類6 H03L 7/18	A1	(11) 国際公開番号 WO96/29785
(21) 国際出願番号 PCT/JP95/00477	(43) 国際公開日 1996年9月26日(26.09.96)	
(22) 国際出願日 1995年3月17日(17.03.95)		
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)	(81) 指定国 CN, JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(72) 発明者: および	添付公開書類	国際調査報告書
(75) 発明者/出願人 (米国についてのみ) 堀 一行(HORI, Kazuyuki)[JP/JP] 〒165 東京都中野区大和町一丁目61番13号 Tokyo, (JP)	請求の範囲の補正の期限前であり、補正書受領の際には再公開される。	
小久保優(KOKUBO, Masaru)[JP/JP] 〒357 埼玉県飯能市本町21-5 Saitama, (JP)		
(74) 代理人 弁理士 小川勝男(OGAWA, Katuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		

## (54) Title : VARIABLE LOOP GAIN FREQUENCY SYNTHESIZER

## (54) 発明の名称 ループ利得可変型周波数シンセサイザ

## (57) Abstract

A frequency synthesizer comprising a phase frequency comparator (1), switching circuits (3a and 3p), constant-current sources (4n and 4p), a loop filter (5), a voltage-controlled oscillator (6), and a frequency divider (7) is provided with a first signal generator (8) which detects the absolute value of phase difference based on the output signal of the phase-frequency comparator (1), a second signal generator (9) which generates a pulse signal whose temporal ratio between the high and low levels is determined based on the output of the generator (8), switching circuits (11n and 11p) which are driven by the output signal of the generator (9), and constant-current sources (12n and 12p) connected to the circuits (11n and 11p) which are driven by the output signal of the generator (9), and constant-current sources (12n and 12p) connected to the circuits (11n and 11p). The temporal ratio between the high and low levels of the output of the generator (9) changes during the period when the circuits (3a and 3p) conduct. The electric current supply from the constant-current sources (12n and 12p) is effected or stopped based on the signal. Therefore, the loop gain is increased or decreased in accordance with the phase difference.



### (57) 要約

本発明は、位相周波数比較器1と、スイッチ回路3n、3pと、定電流源4n、4pと、ループフィルタ5と、電圧制御発振器6と、分周器7から成る周波数シンセサイザにおいて、位相周波数比較器の出力信号に基づき位相差の絶対値を検出する第1の信号発生器8と、第1の信号発生器8出力に基づきハイレベルとローレベルの時間的比率が定まるパルス信号を発生する第2の信号発生器9と、第2の信号発生器9出力信号により駆動されるスイッチ回路11n、11pと、スイッチ回路11n、11pに接続される定電流源12n、12pを設け、位相差に応じて、スイッチ回路3n、3pが導通する期間内における、第2の信号発生器9出力のハイレベルとローレベルの時間的比率が変化し、この信号に基づき定電流源12n、12pの流す電流を供給または遮断する。これによって、位相差に応じてループ利得を増加または減少させることができる。

### 情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

## 明 細

## ループ利得可変型周波数シンセサイザ

## 5 技術分野

本発明は、指定された周波数にて発振する周波数シンセサイザに係わり、特に、指定周波数を変更した場合に高速な周波数切り替えを行うのに好適な周波数シンセサイザと、それを用いた無線通信装置に係わる。

## 10 背景技術

従来のPLLシンセサイザで主流となる形式は、位相周波数比較器（以下、PFCと略す。）とチャージポンプを用いる形式である。第13図に基本的なPLLシンセサイザの構成図を示す。第13図において、PFC1は、基準信号Rと入力信号Vの位相差を検出してパルス信号UBとDBを出力する。チャージポンプは、反転回路2とスイッチ回路3n、3pと定電流源4n、4pから構成されており、PFC1から出力されたパルス信号UBとDBに応じてスイッチ回路3n、3pを開閉することによって出力電流を制御する。さらに、ループフィルタ5でチャージポンプからの出力電流を平滑化すると共に、平滑化された電流を電圧に変換し、VCO6を駆動する。VCO6は、ループフィルタ5からの出力電圧に応じた周波数にて発振し、これがPLLシンセサイザの出力となる。また、VCO6からの出力信号は、分周器7によって外部から指定される分周数にて分周され、PFC1へ入力信号Vとして帰還される。以上の構成によって、PLLシンセサイザの出力として、基準信号の周波数を外部から指定される分周数倍した発振周波数が得られる。したがって、指定分周数を変更することによって、周波数切り替えが行

なわれる。

第14図は、第13図に示したPLLシンセサイザに用いられているPFC1の具体的な回路構成例を示す図である。第13図のPFC1は、  
5 NAND61aと61b、NAND62aと62b、NAND63aと  
63b、NAND64aと64bの4つのリセット・セット型フリップ  
フロップ(RS-FF)回路とNAND65から構成されており、NA  
ND65の出力によって各RS-FF回路がリセットされるように結線  
されている。第14図には、反転型論理積(NAND)回路を用いて構  
成したPFCを一例として示したが、これ以外にも反転型論理和(No  
10 R)回路を用いたPFCなどが知られている。

第15図(a)から(c)に、第14図に示したPFC1の動作を表すタイミング図を示す。第15図(a)に示すように、基準信号Rと入  
力信号Vの位相差が零のときには、出力信号UBとDBは両方ハイレベ  
ルとなるので、第13図のスイッチ回路3nと3pは共に非導通となる。  
一方、第15図(b)に示すように、入力信号Vの基準信号Rに対する  
位相差が正(入力信号Vの位相が進んだ状態)のときには、出力信号D  
15 Bがパルス信号となるので、第13図のスイッチ回路3nが導通・非導  
通を繰り返し、出力信号DBがローレベルである期間中定電流源4nへ  
電流を引き込む。また、第15図(c)に示すように、入力信号Vの基  
準信号Rに対する位相差が負(入力信号Vの位相が遅れた状態)のとき  
20 には、出力信号UBがパルス信号となるので、第13図のスイッチ回路  
3pが導通・非導通を繰り返し、出力信号UBがローレベルである期間  
中定電流源4pから電流を流し出す。ここで、第15図(b)或いは第  
15図(c)における単位時間あたりのパルス信号DB或いはパルス信  
号UBがローレベルとなる時間的比率は、基準信号Rと入力信号Vの位  
25 相差に比例する。入力信号Vの基準信号Rに対する位相差が $2\pi$ である

とき、出力信号DBはローレベルとなり、また、位相差が $-2\pi$ のときには、出力信号UBがローレベルとなる。

いま、PLLシンセサイザの定常状態(PLLシンセサイザの発振周波数が外部から指定される分周数及び基準信号の周波数により定まる一定値を保持している状態)における入力信号Vの基準信号Rに対する位相差(以下、定常位相誤差と記す。)が、第15図(b)に示すような正の一定値であると仮定する。この位相差が外乱等によって正の方向へ増加した場合、PFC1の出力信号DBがローレベルとなる時間的比率が増加することになる。したがって、チャージポンプ4nが引き込む平均的な電流が増加する。その結果、VCO6駆動点の電位が低下するので、VCO利得が正の場合にはVCO6からの出力信号の周波数が低下することにより前記位相差が減少する。このようにして、前記位相差を一定値に収束させるような制御が働くので、収束後のPFC1の入力信号Vと基準信号Rの周波数は一致する。その結果、VCO6からの出力信号の周波数、即ちPLLシンセサイザの発振周波数は、基準信号Rの周波数の分周数倍になる。

ところで、第13図に示すPLLシンセサイザでは、定電流源4nと4pの電流値(第13図中のI1)は一定値である。そのため、周波数切り替え時間を短縮するためにI1を大きく選んでループ利得を増加させることによりループを広帯域化すると、基準信号Rに含まれる位相雑音成分が閉ループの周波数特性によって十分に除去されることなく出力される。逆に、基準信号Rに含まれる位相雑音成分を除去するためにI1を小さく選んでループ利得を減少させることによりループを狭帯域化すると、周波数切り替え時間が長くなるという相反した問題が生じる。

この問題点を解決するため、PFC1の入力信号Vと基準信号Rの位相差を検出し、この位相差の大小に応じてチャージポンプからの出力電

流値を可変とする方法が知られている。本手法の従来例として、特願平3-172024には前記位相差に基づいて前記出力電流値を変化させるループ利得可変型PLLシンセサイザが開示されている。

第16図に、かかる従来技術を用いたループ利得可変型PLLシンセサイザの構成を示す。この従来例では、第13図に示したPLLシンセサイザの基本構成に、反転回路52とスイッチ回路53n、53pと定電流源54n、54pから成るループ利得を変化させるための第2のチャージポンプ回路が付加されている。また、第16図のPFC51には第2チャージポンプ制御用信号UFBとDFBを発生させる機能が追加されている。

ここで、第17図にPFC51の具体的な回路構成例を示す。第17図は、第14図のPFC1にNAND71aと71bおよび反転回路72aと72bが付加された構成になっている。

また、第18図(a)から(d)に、第17図に示したPFC51の動作を表すタイミング図を示す。

第18図(a)は、入力信号Vの基準信号Rに対する位相差が零以上 $\pi$ 以下の場合に相当し、第18図(c)は、入力信号Vの基準信号Rに対する位相差が $-\pi$ 以上零以下の場合に相当する。第18図(a)及び(c)に示すように、位相差の絶対値が $\pi$ 以下のときには、第2チャージポンプ制御信号UFBとDFBは両方ハイレベルとなるので、第16図のスイッチ回路53nと53pは共に非導通となる。すなわち、この場合のチャージポンプからの出力電流値はI1となる。

第18図(b)は、入力信号Vの基準信号Rに対する位相差が $\pi$ 以上 $2\pi$ 以下の場合に相当し、第18図(d)は、入力信号Vの基準信号Rに対する位相差が $-2\pi$ 以上 $-\pi$ 以下の場合に相当する。第18図(b)及び第18図(d)に示すように、位相差の絶対値が $\pi$ 以上のときには、

第2チャージポンプ制御信号UFB或いはDFBの一方がパルス信号となるので、第16図のスイッチ回路53或いは53pの一方が導通・非導通を繰り返す。よって、第2チャージポンプ制御信号UFBがローレベルである期間中は、定電流源4pだけでなく定電流源54pからも電流を流し出し、また、第2チャージポンプ制御信号DFBがローレベルである期間中は、定電流源4nだけでなく定電流源54nへも電流を引き込む。すなわち、この場合、チャージポンプからの出力電流値はI1+I2となり、第2チャージポンプが動作することで出力電流値が増加してPLLシンセサイザを広帯域化することになる。

上述した従来のループ利得可変方式は、その回路構成上、前記位相差の絶対値が $\pi$ 以上に達しないと第2チャージポンプが動作しない。したがって、PLLシンセサイザの周波数切り替え幅が小さいとき、第2チャージポンプが高速に動作しない、すなわち、指定周波数を変更してから第2チャージポンプが動作するまでの応答時間が長いという点が問題となる。

第19図(a)或いは(b)は、第16図に示したループ利得可変型PLLシンセサイザにおいて、分周器7の指定分周数を1から $3/4$ 或いは $7/8$ に変更し、PFC51(2)の入力信号Vの周波数を時刻t1にて瞬間に切り替えた場合の位相差を表す図である。第19図(a)は入力信号Vの周波数を基準信号Rの周波数から約33%増加させた(周期を25%減少させた)場合であり、基準信号Rの周期をTとする位相差が $\pi$ に達するまで $1.5T$ の期間を要する。また、第19図(b)は入力信号Vの周波数を基準信号Rの周波数から約14%増加させた(周期を12.5%減少させた)場合であり、位相差が $\pi$ に達するまで $3.5T$ の期間を要する。この例で示したように、周波数切り替え幅が小さくなるに伴い、位相差が $\pi$ に達するまでの時間、言い換えれば

第2チャージポンプが動作を開始するまでの遅延時間が増大することになる。この動作遅延は、周波数切り替え後の指定周波数への引き込み動作を高速化する上での阻害要因となる。

また、上述したループ利得可変方式では、定常位相誤差の絶対値が $\pi$ 未満となるように外部から指定される分周数の範囲、VCOの入力電圧に対する発振集周波数等を設計した場合には、定常状態において閉ループの帯域は狭帯域である。例えば、定常位相誤差が零の場合に、外乱等により $\pi$ 未満の大きさの位相雑音成分がPFC2の入力信号Vに加わると、従来の技術ではこの雑音を検出してチャージポンプ出力電流を変化させることができないので、定常状態に復帰するまでに長い時間を要する。

これらの問題点を解決するためには、検出可能な位相差を小さくし、微小な位相差に対してもチャージポンプからの出力電流値を変化させる構成が有効である。

15

#### 発明の開示

(1) 本発明では、入力信号の基準信号に対する正の位相差を検出し、これに依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力し、また、入力信号の基準信号に対する負の位相差を検出し、これに依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号を出力するPFCと、前記第1と第2のパルス信号に基づき、入力信号の基準信号に対する位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まるパルス信号を出力する第1の信号発生器と、定電流源とスイッチ回路を具備し前記PFCの第1と第2の出力信号に基づいて電流を供給または遮断することによって前記入力信号と基準信号の位相差に対応した電流を出力するチャージポンプと、チ

チャージポンプ出力電流に重畠される雑音成分を除去すると共に電圧に変換することで直流電圧を出力するループフィルタと、ループフィルタの出力電圧に応じた周波数にて発振するVCOと、外部から指定される分周数に基づいて前記VCO出力信号を分周してPFC入力へ帰還する分周器から構成されるPLLシンセサイザにおいて、前記第1の信号発生器出力信号に依存してチャージポンプのスイッチ回路が導通する期間内のハイレベルとローレベルの比が定まる、少なくとも1つ以上のパルス信号を発生する第2の信号発生器を設け、チャージポンプ回路が複数種類の電流値を有する定電流源と、電流値を切り替えるための補助スイッチ回路を具備し、前記チャージポンプのスイッチ回路が導通する期間内に、前記第2の信号発生器の出力パルス信号に基づき前記補助スイッチ回路の切り替えを行い、前記チャージポンプのスイッチ回路が通電する電流値の時間平均値を増減させることによって、入力信号と基準信号の位相差に応じてループ特性が自動的に変化するように構成されている。

(2)また、PLLシンセサイザの周波数引き込み後の定常位相誤差を零とするため、ループフィルタには伝達インピーダンスが直流において無限大となるような構成を用いている。

従来方式に対して、本発明では、PFCとチャージポンプ回路に前記(1)の構成を用いることにより、入力信号Vと基準信号Rの位相差がπ未満の微小な値であっても、これを検出してチャージポンプの出力電流値を変化させることができる。これに加えて、ループフィルタに前記(2)の構成を用いることによって、定常位相誤差は零となる。そのため、周波数切り替え過程においては、自動的に広帯域化してPLLシンセサイザの過渡応答が高速となり、周波数切り替え後には自動的に狭帯域化してPLLシンセサイザの基準信号Rに含まれる位相雑音成分を除去することができる。

また、定常状態における外乱によるPFC入力信号Vにおけるπ未満の微小な位相雑音に対しても、これを検出して自動的に広帯域化するので、高速に定常状態へ復帰することができる。

また、本発明によるPLLシンセサイザを局部発振器として無線通信装置に搭載することによって、通信の品質を良好なものとすることができる。

#### 図面の簡単な説明

第1図は、本発明のPLLシンセサイザの第1の実施例を示す回路図成図であり、第2図は、第14図の位相周波数比較器および第1の信号発生器の動作を表すタイミング図であり、第3図は、第1図における位相差対チャージポンプ平均出力電流を示す図であり、第4図は、本発明のPLLシンセサイザの第2の実施例を示す回路図成図であり、第5図は、第4図の遅延素子と論理回路の動作を表すタイミング図であり、第6図は、第4図における位相差対チャージポンプ平均出力電流を示す図であり、第7図は、本発明のPLLシンセサイザの第3の実施例を示す回路図成図であり、第8図は、第7図の遅延素子と排他的論理回路の動作を表すタイミング図であり、第9図は、本発明のPLLシンセサイザの第4の実施例を示す回路図成図であり、第10図は、本発明のPLLシンセサイザの第5の実施例を示す回路図成図であり、第11図は、第10図における位相差対チャージポンプ平均出力電流を示す図であり、第12図は、本発明のPLLシンセサイザを用いた無線通信端末の回路図成図であり、第13図は、従来のPLLシンセサイザの代表的な回路図成図であり、第14図は、第13図のPLLシンセサイザに用いられる位相周波数比較器の回路図成図であり、第15図は、第14図の位相周波数比較器の動作を表すタイミング図であり、第16図は、従来のル

ーブ利得可変型PLLシンセサイザを示す回路構成図であり、第17図は、第16図のPLLシンセサイザに用いられる位相周波数比較器の回路構成図であり、第18図は、第17図の位相周波数比較器の動作を表すタイミング図であり、第19図は、入力周波数を切り替えた場合の位5 相差を表すタイミング図である。

#### 発明を実施するための最良の形態

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図は、本発明のPLLシンセサイザの第1の実施例の構成図である。

10 本実施例のPLLシンセサイザは、入力信号Vの基準信号Rに対する正の位相差を検出し、これに依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号DBを出力し、入力信号Vの基準信号Rに対する負の位相差を検出し、これに依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号UBを出力するPFC1と、前記15 第1のパルス信号DBと第2のパルス信号UBに基づき、入力信号Vの基準信号Rに対する位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まるパルス信号LDを出力する第1の信号発生器8と、前記チャージポンプのスイッチ回路が導通する期間内のハイレベルとローレベルの時間的比率が、前記第1の信号発生器8の出力信号LDに依20 存して定まるパルス信号を発生する第2の信号発生器9と、定電流源12n、12pと、反転回路10と、前記第2の信号発生器9の出力信号に基づき定電流源12n、12pの電流I2を供給または遮断する補助スイッチ回路11n、11pと、定電流源4n、4pと、反転回路2と、前記PFC1の第1と第2の出力信号DB、UBに基づいて定電流源425 n、4pの電流I1および補助スイッチ回路11n、11pの出力電流を供給または遮断するスイッチ回路3n、3pとからなるチャージポン

5 プと、チャージポンプ出力電流に重畠される雑音成分を除去すると共に電圧に変換することで直流電圧を出力する、直流における伝達インピーダンスが無限大であるようなループフィルタ 5 と、ループフィルタの出力電圧に応じた周波数にて発振する VCO 6 と、外部から指定される分周数に基づいて前記 VCO 6 出力信号を分周して PFC 1 入力へ帰還する分周器 7 から構成される。

10 次に、本実施例の動作を説明する。第 1 図の PFC 1 は第 14 図に示す構成を用いており、入力信号 V の基準信号 R に対する位相差が正のときには、信号 DB がパルス信号となり、前記位相差が負のときには信号 UB がパルス信号となる。それ以外の場合には、各信号はハイレベルを保持する。これらパルス信号の、単位時間あたりのローレベルとなる時間的比率は、位相差の大きさに比例する。また、第 1 の信号発生器 8 の出力 LD は DB と UB の論理積なので、位相差が零のときハイレベルとなり、位相差の絶対値が  $2\pi$  のときローレベルとなる。それ以外のときは単位時間あたりのローレベルとなる時間的比率が位相差の絶対値に比例するようなパルス信号となる。第 2 図 (a) から (c) に、PFC 1 および第 1 の信号発生器 8 の動作を表す代表的なタイミング図を示す。

15 (a) は V の R に対する位相差が零の場合に対応し、(b) と (c) はそれぞれ前記位相差が正の場合および負の場合に対応する。(b)、  
(c) より、第 1 の信号発生器 8 の出力信号 LD がローレベルをとる期間 (図中 T1) は、信号 UB、DB のいずれかがローレベルとなる期間、すなわちチャージポンプのスイッチ回路 3p、3n のいずれかが導通する期間に一致する。

20 ここで、LD がローレベルをとる期間を T1、ハイレベルをとる期間を T2 とし、単位時間あたりにハイレベルとなる時間的比率  $duty$  を  $1$  で定義する。これより、 $duty = 0$  が位相差の絶対値  $2\pi$  に対応

し、 $duty = 1$  が位相差零に対応する。

$$duty = \frac{T_2}{T_1 + T_2} \quad \dots \dots \dots \dots \quad \text{数1}$$

次に、第2の信号発生器9の動作を説明する。第2の信号発生器9は  
 5 第1の信号発生器8出力信号LDに基づき、前記T1期間内のハイレベル  
 ルとローレベルの時間的比率が定まるパルス信号を発生する。ここで、  
 T1期間に対する第2の信号発生回路9出力がハイレベルをとる時間の  
 比率をrateと定義する。第2の信号発生器9の入出力特性として、  
 rateがdutyに対する増加関数となるように構成する。第2の信号  
 10 発生回路の入出力特性の関数形は特に限定されるものではないが、本  
 実施例ではrate=dutyとしている。

第1図より、第2の信号発生器9出力がローレベルのとき補助スイッチ回路11n、11pが導通するように構成している。そのため、dutyが小さいほど（位相差が大きいほど）rateは小さくなるので、  
 15 補助スイッチ回路11n、11pが導通する時間的比率が増す。また、dutyが大きいほど（位相差が小さいほど）rateは大きくなるので、補助スイッチ回路11n、11pが導通する時間的比率が減る。以上より、チャージポンプがループフィルタ5に供給する平均電流値Iaveは、数2のように表される。

$$I_{ave} = (1 - duty) \{ I_1 + (1 - rate) I_2 \} \quad \dots \dots \quad \text{数2}$$

ここで、I1=1mA、I2=2mAとした場合について計算した、  
 Iaveのduty（位相差）に対する特性を第3図に示す。Iaveは位相差に対して非線形な特性を示し、第3図の傾斜分がループ利得に対応する。第3図より、位相差が大きいほどループ利得が増加（傾斜分大）してPLLシンセサイザが広帯域化し、逆に位相差が小さいほどループ利得が減少（傾斜分小）してPLLシンセサイザが狭帯域化するこ  
 25

とになる。

また、ループフィルタの伝達インピーダンスは直流で無限大であるため、定常位相誤差は零となる。そのため、周波数切り替え過程においては、自動的に広帯域化してPLLシンセサイザの過渡応答が高速となり、

5 周波数切り替え後には自動的に狭帯域化してPLLシンセサイザの基準信号Rに含まれる位相雑音成分を除去することができる。

第4図に本発明によるPLLシンセサイザの第2の実施例を表す構成図を示す。本実施例のPLLシンセサイザは、前記第1の実施例と同一のPFC1と、前記第1の実施例と同一の第1の信号発生器8と、前記

10 第1の信号発生器8の出力信号LDをdt時間だけ遅延させる遅延素子21と、第1の信号発生器出力LDと遅延素子21出力の論理和を得る

論理和回路22と、前記第1の実施例と同一のチャージポンプと、前記第1の実施例と同一の、直流における伝達インピーダンスが無限大であるようなループフィルタ5と、前記第1の実施例と同一のVCO6と、

15 前記第1の実施例と同一の分周器7から構成される。

次に、本実施例の動作を説明する。PFC1は、入力信号Rの基準信号Vに対する位相差を検出し、パルス信号DB、UBを発生する。第1

の信号発生器8は、前記DBとUBの論理和を求ることによって、入

力信号Rの基準信号Vに対する位相差の絶対値を検出し、パルス信号LD

20 を発生する。遅延素子21は、前記LDをdt時間だけ遅延させ、論理和回路22は遅延素子出力と前記LDの論理和を求める。

第5図(a)から(c)に遅延素子21と論理和回路22の動作例を

表す代表的なタイミング図を示す。第2図と同様に、第1の信号発生器

8出力信号がローレベルをとる時間をT1、ハイレベルをとる時間をT

25 2としている。ここで、式1を用いてdutyを定義する。また、T1 + T2に対する遅延時間dtの比をdeltat、T1期間に対する論理

和回路 2 2 出力出力がハイレベルをとる時間の比率を *rate* と定義する。ここで、*delta* と *T*1、*T*2、*dt* との関係は数 3 にて表される。

$$5 \quad \text{delta} = \frac{dt}{T_1 + T_2} \quad \dots \dots \dots \dots \dots \quad \text{数 3}$$

第 5 図 (a) は、*delta*  $\geq$  *duty* の場合に対応し、このときの *rate* は数 4 にて表される。

$$\text{rate} = \frac{duty}{1 - duty} \quad \dots \dots \dots \dots \dots \quad \text{数 4}$$

10 また、第 5 図 (b) は *delta*  $<$  *duty*、*delta*  $<$   $(1 - duty)$  の場合に対応し、このときの *rate* は数 5 にて表される。

$$\text{rate} = \frac{delta}{1 - duty} \quad \dots \dots \dots \dots \dots \quad \text{数 5}$$

また、第 5 図 (c) は *delta*  $\geq (1 - duty)$  の場合に対応し、15 このときの *rate* は数 6 にて表される。

$$\text{rate} = 1 \quad \dots \dots \dots \dots \dots \quad \text{数 6}$$

ここで、チャージポンプの平均出力電流は数 1 から数 6 を用いて求められる。第 6 図に *I*1 = 1 mA、*I*2 = 2 mAとしたときの *duty* (位相差) に対する平均電流 *I*ave を示す。第 6 図より、*I*ave は位相差に対して 2 個の折れ点を有する非線形な特性を示し、位相差が大きいほどループ利得が増加 (傾斜分大) して PLL シンセサイザが広帯域化し、逆に位相差が小さいほどループ利得が減少 (傾斜分小) して PLL シンセサイザが狭帯域化することになる。折れ点の位置は、第 6 図に示すように遅延素子の遅延時間 *dt* を調整して *delta* を変化させることで制御できる。

また、ループフィルタの伝達インピーダンスは直流で無限大であるた

め、定常位相誤差は零となる。そのため、周波数切り替え過程においては、自動的に広帯域化してPLLシンセサイザの過渡応答が高速となり、周波数切り替え後には自動的に狭帯域化してPLLシンセサイザの基準信号Rに含まれる位相雑音成分を除去することができる。

5 第7図に本発明によるPLLシンセサイザの第3の実施例を表す構成図を示す。本実施例のPLLシンセサイザは、前記第1の実施例と同一のPFC1と、前記第1の実施例と同一の第1の信号発生器8と、前記第2の実施例と同一の遅延素子21と、第1の信号発生器出力LDと遅延素子21出力の排他的論理和を得る排他的論理和回路31と、前記第10の実施例と同一のチャージポンプと、前記第1の実施例と同一の、直流における伝達インピーダンスが無限大であるようなループフィルタ5と、前記第1の実施例と同一のVCO6と、前記第1の実施例と同一の分周器7から構成される。

次に、本実施例の動作を説明する。PFC1は、入力信号Rの基準信号Vに対する位相差を検出し、パルス信号DB、UBを発生する。第1の信号発生器8は、前記DBとUBの論理和を求めるこによって、入力信号Rの基準信号Vに対する位相差の絶対値を検出し、パルス信号LDを発生する。遅延素子21は、前記LDを  $d_t$  時間だけ遅延させ、排他的論理和回路31は遅延素子出力と前記LDの排他的論理和を求める。

20 第8図(a)から(c)に遅延素子21と排他的論理和回路31の動作例を表す代表的なタイミング図を示す。第8図(a)から(c)と第5図(a)から(c)とを比較すると、T1期間における第7図の排他的論理和回路31と第4図の論理和回路22出力は、全く同一である。したがって、第3の実施例は第2の実施例と同一の機能を有する。

25 ここで、チャージポンプの平均出力電流は数1から数6を用いて求められる。平均電流  $I_{ave}$  は第6図に示す特性となり、位相差が大きい

ほどループ利得が増加（傾斜分大）してPLLシンセサイザが広帯域化し、逆に位相差が小さいほどループ利得が減少（傾斜分小）してPLLシンセサイザが狭帯域化することになる。

また、ループフィルタの伝達インピーダンスは直流で無限大であるため、定常位相誤差は零となる。そのため、周波数切り替え過程においては、自動的に広帯域化してPLLシンセサイザの過渡応答が高速となり、周波数切り替え後には自動的に狭帯域化してPLLシンセサイザの基準信号Rに含まれる位相雑音成分を除去することができる。

第9図に本発明によるPLLシンセサイザの第4の実施例を表す構成図を示す。

本実施例のPLLシンセサイザは、前記第1の実施例と同一のPFC1と、前記第1の実施例と同一の第1の信号発生器8と、第1の信号発生器8出力LDを高速にサンプリングすると共に基準信号Rの周波数とその整数倍の周波数に伝送零点を有するオーバーサンプリング型デジタルフィルタ41と、デジタルフィルタ41出力を1ビットデジタル信号系列に変換するデルタ・シグマ変調器42と、前記第1の実施例と同一のチャージポンプと、前記第1の実施例と同一の、直流における伝達インピーダンスが無限大であるようなループフィルタ5と、前記第1の実施例と同一のVCO6と、前記第1の実施例と同一の分周器7から構成される。

次に、本実施例の動作を説明する。PFC1は、入力信号Rの基準信号Vに対する位相差を検出し、パルス信号DB、UBを発生する。第1の信号発生器8は、前記DBとUBの論理積を求めることによって、入力信号Rの基準信号Vに対する位相差の絶対値を検出し、パルス信号LDを発生する。オーバーサンプリング型デジタルフィルタ41は前記LDを高速にサンプリングすると共に、基準信号の周波数成分とその高調

波成分を除去するので、前記位相差に比例した微値データを出力する。

デジタルフィルタ41のビット数は特に制限されるものではないが、簡単のため4ビットとし、位相差 $2\pi$ が微値"1000"に対応するよう構成すると、出力微値データと前記位相差の絶対値に対して表1の

5 関係が成立する。

表1

位相差	微値データ	DS	
		ロー	ハイ
10	2.00 $\pi$	1000	0
	1.75 $\pi$	0111	1
	1.50 $\pi$	0110	2
	1.25 $\pi$	0101	3
	1.00 $\pi$	0100	4
	0.75 $\pi$	0011	5
	0.50 $\pi$	0010	6
	0.25 $\pi$	0001	7
	0.00 $\pi$	0000	8

15 デルタ・シグマ変調器42は、この微値データの最上位ビットが"0"のとき、微値データの下位3ビットを1ビットのデジタル信号系列DSに変換する。例えば、表1の位相差が $1.25\pi$ の場合、デルタ・シグマ変調器の入力データは"101"となるので、DSは高遅なサンプリング周波数に同期して8サンプルあたり5サンプルがハイレベルとなる。

20 また、前記微値データの最上位ビットが"1"のとき、デルタ・シグマ変調器はハイレベルを出力し続けるように構成する。このデルタ・シグマ変調器出力DSにおけるハイレベルとローレベルの発生比率を表1に示す。

25 このような1ビットデジタル信号系列DSのローレベルとハイレベルの発生比率を反転回路43によって逆転させる。この反転回路43出力によって、補助スイッチ回路11n、11pを制御するので、チャージ

ポンプのスイッチ回路 3 n、3 p が導通する期間内の補助スイッチ回路 11 n、11 p が導通する時間的比率は、位相差に比例する。ここで、duty を数 1 より定義する。また、第 1 の信号発生器 8 出力信号がローレベルをとる時間に対する反転回路 43 出力がハイレベルをとる時間の比率を rate と定義すると、 $rate = duty$  が成り立つ。

したがって、チャージポンプがループフィルタ 5 に供給する平均電流  $I_{ave}$  は、数 2 より求められる。

ここで、 $I_1 = 1 \text{ mA}$ 、 $I_2 = 2 \text{ mA}$ とした場合の  $I_{ave}$  の duty (位相差) に対する特性は、デジタルフィルタ 41 のビット数を十分大きく選ぶと第 3 図と同一になる。第 3 図より、 $I_{ave}$  は位相差に対して非線形な特性を示し、位相差が大きいほどループ利得が増加（傾斜分大）して PLL シンセサイザが広帯域化し、逆に位相差が小さいほどループ利得が減少（傾斜分小）して PLL シンセサイザが狭帯域化することになる。

また、ループフィルタの伝達インピーダンスは直流で無限大であるため、定常位相誤差は零となる。そのため、周波数切り替え過程においては、自動的に広帯域化して PLL シンセサイザの過渡応答が高速となり、周波数切り替え後には自動的に狭帯域化して PLL シンセサイザの基準信号 R に含まれる位相雜音成分を除去することができる。

以上説明した 4 通りの実施例の内、第 2 および第 3 の実施例では第 6 図に示す位相差に対する平均出力電流特性に折れ点が発生するため、PLL シンセサイザのループ利得は折れ点において不連続に変化する。この不連続変化の影響として、周波数切り替え過程において周波数の微小なとびが発生する。用途に応じてこの周波数のとびは望ましくない場合があるが、折れ点の数を増加してループ利得の変化分を小さくすることで低減することができる。

ここで、第5の実施例として、前記折れ点の数を増加させ、折れ点における傾斜分（ループ利得）の変化を小さくする手法について説明する。第10図は4個の折れ点を有する場合に対する構成図であり、第4図の構成に反転回路23と、遅延素子24と、論理回路25と、補助スイッチ回路26n、26pと、定電流源27n、27p（電流値I3）が追加されている。遅延素子24の遅延時間を $\delta t'$ として、数3と同様に $\delta t'$ を定義し、これを数7に示す。

$$10 \quad \text{数7} \quad \delta t' = \frac{\delta t'}{T_1 + T_2} \quad \dots \dots \dots$$

また、数4から数6と同様に $rate'$ を定義する。 $\delta t' \geq duty$ の場合には $rate'$ は数8で表される。

$$rate' = \frac{duty}{1 - duty} \quad \dots \dots \dots \quad \text{数8}$$

15 また、 $\delta t' < duty$ 、 $\delta t' < (1 - duty)$ の場合には $rate'$ は数9で表される。

$$rate' = \frac{\delta t'}{1 - duty} \quad \dots \dots \dots \quad \text{数9}$$

また、 $\delta t' \geq (1 - duty)$ の場合には $rate'$ は数10で表される。

$$rate' = 1 \quad \dots \dots \dots \quad \text{数10}$$

ここで、チャージポンプがループフィルタへ供給する平均出力電流 $I_{ave'}$ は数11のように表される。

$$I_{ave'} = (1 - duty) \{ I_1 + (1 - rate) I_2 + (1 - rate') I_3 \} \quad \dots \quad \text{数11}$$

25 ここで、一例として $\delta t = 0, 1, \delta t' = 0, 4, I_1 = I_2 = I_3 = 1mA$ とした場合の $I_{ave'}$ の $duty$ （位相差）に対する特性を第11図に示す。第11図に示すように、折れ点の数は

になっており、折れ点における傾斜の変化分を小さくすることができる。

第10図の構成は折れ点の数を4個とする場合であるが、定電流源、  
5 補助スイッチ回路、反転回路、運延素子、論理和回路の数を増加させることによって、折れ点の数をさらに増加させることが可能である。これによって、折れ点における平均出力電流特性の傾斜の変化分が一層小さくなる。

また、以上の説明は第2の実施例に対してのものであるが、第3の実  
10 施例に対しても全く同様の手法を用いることができる。

なお、上記第1から第5の実施例におけるループフィルタは、定常位相誤差を零とするため伝達インピーダンスが直流にて無限大である以外は、その構成および特性を特に限定するものではない。例えば、抵抗と容量の直列接続型の構成や、演算増幅器を用いた積分器による構成が用  
15 いられる。

最後に本発明の周波数シンセサイザを用いた無線通信装置の実施例について、第12図を用いて説明する。無線通信装置は、PLLシンセサイザ82と、PLLシンセサイザ82からの発振信号を基に送信信号を生成する送信回路81と、送信信号を帯域制限する分波器84と、無線  
20 信号を送信および受信するアンテナ85と、受信した信号を前記PLLシンセサイザの発振信号を基に復調する受信回路83と、これらを制御する制御回路86とから構成される。

制御回路86は、受信回路83にて受信したデータを基に、無線通信装置の状態を制御すると共に、PLLシンセサイザ82に発振する周波数を指示する。PLLシンセサイザ82は、指示された発振周波数を送信回路81および受信回路83に供給する。送信回路81は、PLLシ

ンセサイザ 8 2 から与えられた発振周波数を基に、制御回路 8 6 からの送信信号を変調した送信波を発生し、分波器 8 4 にて不要信号成分の抑圧を行った後、アンテナ 8 5 から送信される。

また、アンテナ 2 5 から受信した信号は、分波器 8 4 にて不要信号成分の抑圧後、受信回路 8 3 に入力される。受信回路 8 3 は PLL シンセサイザ 8 2 からの発振周波数を用いて受信信号を復調し、復調結果を制御回路 8 6 に供給する。

制御回路 8 6 は、送受信された信号を入出力信号（音声、画像、データ等）に変換する。

10 以上説明したように、PLL シンセサイザに第 1 図から第 9 図および第 10 図に示すいずれかの構成を用いることにより、位相差が大きいときにはループ帯域を広帯域化し、高速に周波数を引き込むことができる。また、周波数引き込みに伴い位相差が小さくなるとループ帯域を狭帯域化し、雑音を低減することができる。

15 また、本発明による高遅周波数切り替え可能で低雑音な PLL シンセサイザを無線通信端末に適用することによって、通信の品質を向上させることができる。

#### 産業上の利用可能性

20 以上のように、本発明の PLL シンセサイザは、微小位相差に対してもループ利得を切替可能なループ利得可変型 PLL シンセサイザとして、また、無線通信端末等に用いられるループ利得可変型 PLL シンセサイザとして有用である。

## 請求の範囲

1. 入力信号の基準信号に対する位相差を検出し、該位相差に依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力する位相周波数比較器と、第1の定電流源と第1のスイッチ回路とを具備し、上記第1のパルス信号に基づいて上記第1のスイッチ回路を制御し、上記第1の定電流源の電流を供給または遮断することにより、上記位相差に対応した電流を出力するチャージポンプと、該チャージポンプからの出力電流に重畳された基準信号と同一周波数成分を有する雑音を除去すると共に、上記出力電流を平滑化し電圧に変換することで直流電圧を出力するループフィルタと、ループフィルタから出力された直流電圧に応じた周波数にて発振する電圧制御発振器と、外部から指定される分周数に基づいて、上記電圧制御発振器の出力信号を分周し、上記入力信号として出力する分周器とからなるPLLシンセサイザにおいて、上記位相差の絶対値に依存して上記第1のスイッチ回路が導通している期間内のハイレベルとローレベルの時間的比率が定まる第3のパルス信号を出力するパルス信号発生器を備え、上記チャージポンプが、第2の定電流源と第2のスイッチ回路とを具備し、上記第1のスイッチ回路が導通している期間内において、上記第3のパルス信号に基づいて上記第2のスイッチ回路を制御し、上記第2の定電流源の電流を供給または遮断することを特徴とするPLLシンセサイザ。
2. 前記パルス信号発生器が、前記位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号を出力する第1の信号発生器と、上記第2のパルス信号に依存して前記第1のスイッチ回路が導通している期間内のハイレベルとローレベルの時間的比率が定まる第3のパルス信号を出力する第2の信号発生器とからなることを特

徵とする請求の範囲第1項記載のPLLシンセサイザ。

3. 前記第3のパルス信号の前記第1のスイッチ回路が導通している期間内のハイレベルとローレベルの時間的比率が、第2のパルス信号のハイレベルとローレベルの時間的比率と同一であることを特徴とする請求

5. の範囲第2項記載のPLLシンセサイザ。

4. 前記第2の信号発生器が、前記第2のパルス信号を高速にサンプリングすると共に、基準信号の周波数とその倍数の周波数を除去するオーバーサンプリング型デジタルフィルタと、該オーバーサンプリング型デジタルフィルタからの出力を1ビットデジタル信号系列に変換するデ

10. ルタ・シグマ変調器とからなることを特徴とする請求の範囲第2項記載のPLLシンセサイザ。

5. 入力信号の基準信号に対する位相差を検出し、該位相差に依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力する位相周波数比較器と、第1の定電流源と第1のスイッチ回路とを具

15. 有し、上記第1のパルス信号に基づいて上記第1のスイッチ回路を制御し、上記第1の定電流源の電流を供給または遮断することにより、上記位相差に対応した電流を出力するチャージポンプと、該チャージポンプからの出力電流に直帰された基準信号と同一周波数成分を有する雑音を除去すると共に、上記出力電流を平滑化し電圧に変換することで直流電

20. 壓を出力するループフィルタと、ループフィルタから出力された直流電圧に応じた周波数にて発振する電圧制御発振器と、外部から指定される分周数に基づいて、上記電圧制御発振器の出力信号を分周し、上記入力信号として出力する分周器とからなるPLLシンセサイザにおいて、上記位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定

25. まる第2のパルス信号を出力する第1の信号発生器と、上記第2のパルス信号を遅延させる遅延素子と、上記第2のパルス信号と上記遅延素子

からの遅延信号との論理和を出力する論理和回路とを備え、上記チャージポンプが、第2の定電流源と第2のスイッチ回路とを具備し、上記第1のスイッチ回路が導通している期間内において、上記論理和回路からの出力信号に基づいて上記第2のスイッチ回路を制御し、上記第2の定電流源の電流を供給または遮断することを特徴とするPLLシンセサイザ。

6. 前記遅延素子による遅延時間のある一定値より小さくすることにより、前記位相差が  $\pi$  未満である場合においてもPLLシンセサイザのループ利得の切替が行なわれることを特徴とする請求の範囲第5項記載のPLLシンセサイザ。

7. 入力信号の基準信号に対する位相差を検出し、該位相差に依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力する位相周波数比較器と、第1の定電流源と第1のスイッチ回路とを具備し、上記第1のパルス信号に基づいて上記第1のスイッチ回路を制御し、上記第1の定電流源の電流を供給または遮断することにより、上記位相差に対応した電流を出力するチャージポンプと、該チャージポンプからの出力電流に重量された基準信号と同一周波数成分を有する雑音を除去すると共に、上記出力電流を平滑化し電圧に変換することで直流電圧を出力するループフィルタと、ループフィルタから出力された直流電圧に応じた周波数にて発振する電圧制御発振器と、外部から指定される分周数に基づいて、上記電圧制御発振器の出力信号を分周し、上記入力信号として出力する分周器とからなるPLLシンセサイザにおいて、上記位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号を出力する第1の信号発生器と、上記第2のパルス信号を遅延させる遅延時間が互いに異なるN個(Nは2以上の整数)の遅延素子と、上記第2のパルス信号と上記N個の遅延素子からの各遅延

15

20

25

信号との論理和を出力するN個の論理和回路とを備え、上記チャージポンプが、上記第1の定電流源とは別のN個の定電流源と上記第1のスイッチ回路とは別のN個のスイッチ回路とを具備し、上記第1のスイッチ回路が導通している期間内において、上記N個の論理和回路からの各出力信号に基づいて上記N個のスイッチ回路をそれぞれ制御し、上記N個の定電流源の各電流を供給または遮断することを特徴とするPLLシンセサイザ。

8. 入力信号の基準信号に対する位相差を検出し、該位相差に依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力する位相周波数比較器と、第1の定電流源と第1のスイッチ回路とを具備し、上記第1のパルス信号に基づいて上記第1のスイッチ回路を制御し、上記第1の定電流源の電流を供給または遮断することにより、上記位相差に対応した電流を出力するチャージポンプと、該チャージポンプからの出力電流に重畠された基準信号と同一周波数成分を有する雑音を除去すると共に、上記出力電流を平滑化し電圧に変換することで直流電圧を出力するループフィルタと、ループフィルタから出力された直流電圧に応じた周波数にて発振する電圧制御発振器と、外部から指定される分周数に基づいて、上記電圧制御発振器の出力信号を分周し、上記入力信号として出力する分周器とからなるPLLシンセサイザにおいて、上記位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号を出力する第1の信号発生器と、上記第2のパルス信号を遅延させる遅延素子と、上記第2のパルス信号と上記遅延素子からの遅延信号との排他的論理和を出力する排他的論理和回路とを備え、上記チャージポンプが、第2の定電流源と第2のスイッチ回路とを具備し、上記第1のスイッチ回路が導通している期間内において、上記排他的論理和回路からの出力信号に基づいて上記第2のスイッチ回路を制御

し、上記第2の定電流源の電流を供給または遮断することを特徴とするPLLシンセサイザ。

9. 前記遅延素子による遅延時間のある一定値より小さくすることにより、前記位相差が $\pi$ 未満である場合においてもPLLシンセサイザのループ利得の切替が行なわれることを特徴とする請求の範囲第8項記載のPLLシンセサイザ。

10. 入力信号の基準信号に対する位相差を検出し、該位相差に依存してハイレベルとローレベルの時間的比率が定まる第1のパルス信号を出力する位相周波数比較器と、第1の定電流源と第1のスイッチ回路とを具備し、上記第1のパルス信号に基づいて上記第1のスイッチ回路を制御し、上記第1の定電流源の電流を供給または遮断することにより、上記位相差に対応した電流を出力するチャージポンプと、該チャージポンプからの出力電流に重疊された基準信号と同一周波数成分を有する雑音を除去すると共に、上記出力電流を平滑化し電圧に変換することで直流電圧を出力するループフィルタと、ループフィルタから出力された直流電圧に応じた周波数にて発振する電圧制御発振器と、外部から指定される分周数に基づいて、上記電圧制御発振器の出力信号を分周し、上記入力信号として出力する分周器とからなるPLLシンセサイザにおいて、上記位相差の絶対値に依存してハイレベルとローレベルの時間的比率が定まる第2のパルス信号を出力する第1の信号発生器と、上記第2のパルス信号を遅延させる遅延時間が互いに異なるN個(Nは2以上の整数)の遅延素子と、上記第2のパルス信号と上記N個の遅延素子からの各遅延信号との排他的論理和を出力するN個の排他的論理和回路とを備え、上記チャージポンプが、上記第1の定電流源とは別のN個の定電流源と上記第1のスイッチ回路とは別のN個のスイッチ回路とを具備し、上記第1のスイッチ回路が導通している期間内において、上記N個の排他的論

理和回路からの各出力信号に基づいて上記N個のスイッチ回路をそれぞれ制御し、上記N個の定電流源の各電流を供給または遮断することを特徴とするPLLシンセサイザ。

11. 前記ループフィルタの伝達インピーダンスが、直流で無限大となることを特徴とする請求の範囲第1項乃至第10項に記載のPLLシンセサイザ。

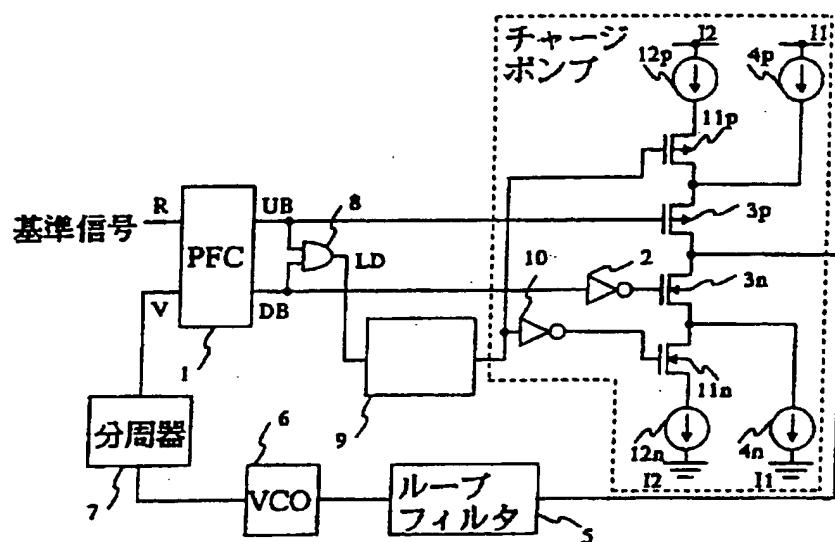
12. 無線通信装置を制御する制御回路と、周波数シンセサイザと、上記制御回路と上記周波数シンセサイザからの発振信号を基に送信信号を生成する送信回路と、上記送信信号を帯域制限する分波器と、無線信号を送信および受信するアンテナと、受信した信号を上記前記周波数シンセサイザの発振信号を基に復調する受信回路とから構成され、上記制御回路を介して音声や画像を入出力する無線通信装置において、周波数シンセサイザが請求の範囲第1項乃至第11項のいずれかに記載のPLLシンセサイザであることを特徴とする無線通信装置。

15

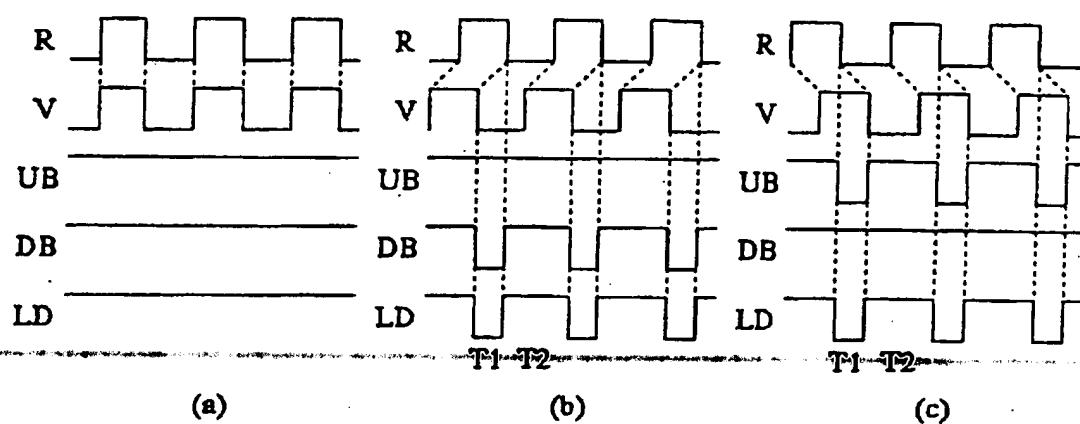
20

25

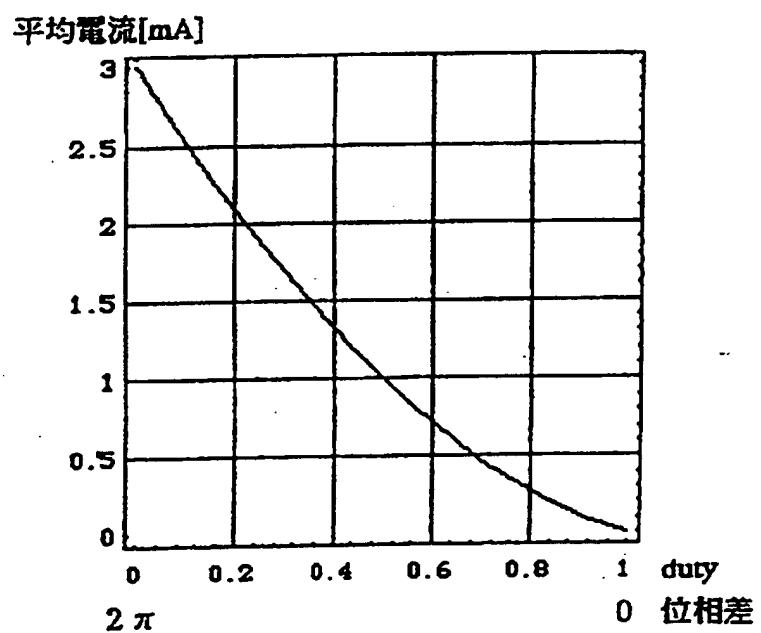
第 1 図



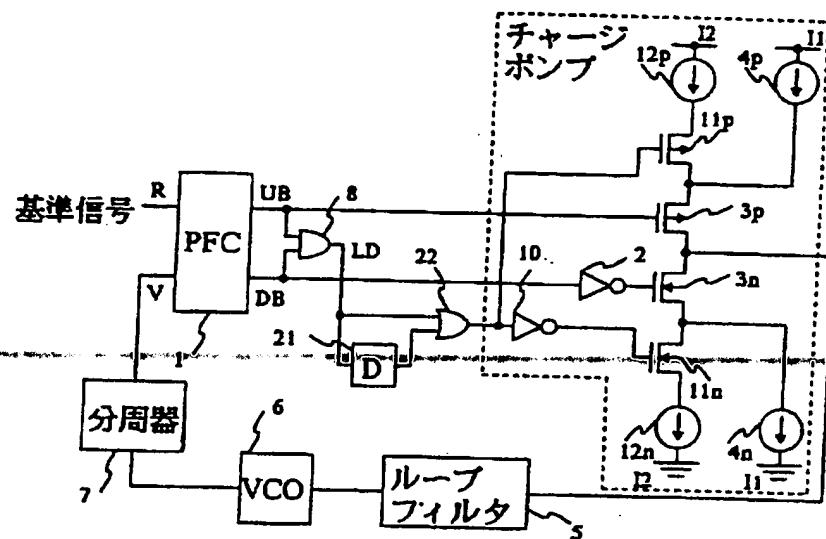
## 第 2 図



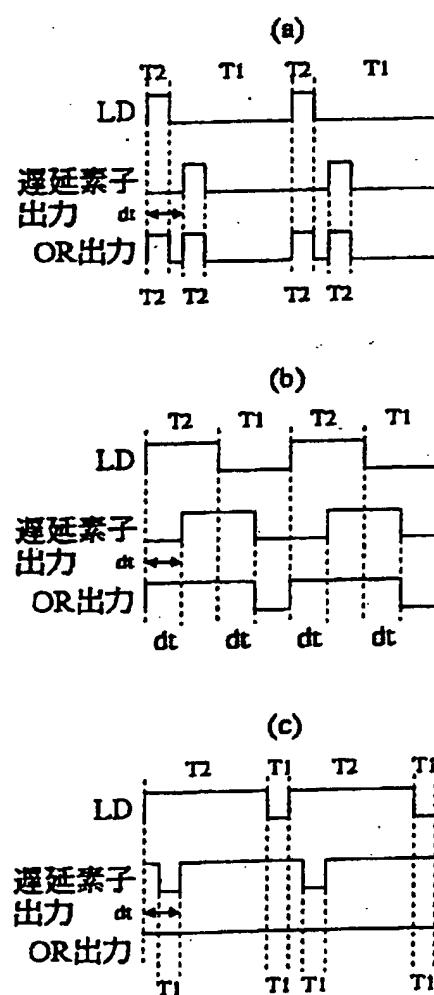
第 3 図



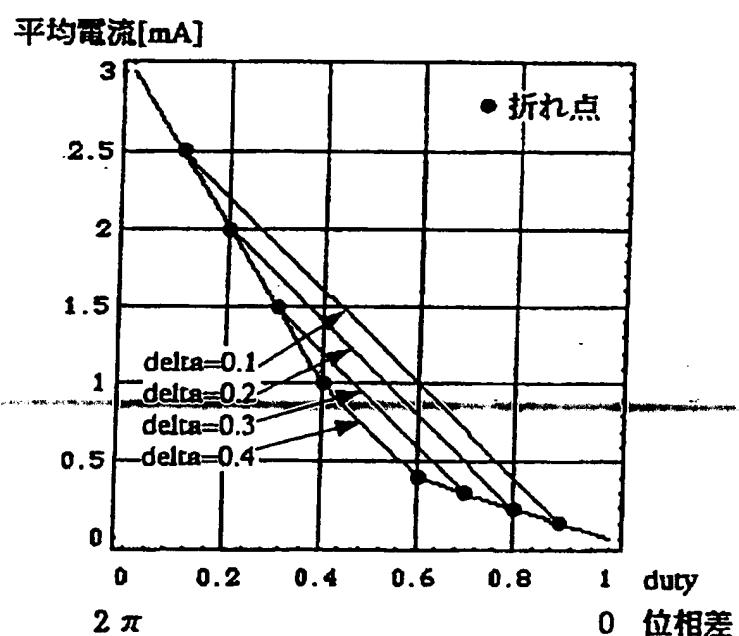
第 4 図



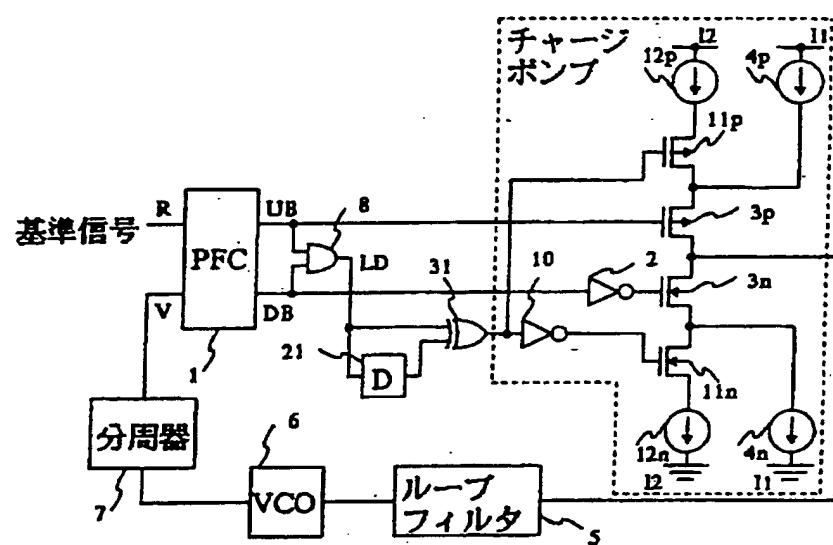
第 5 図



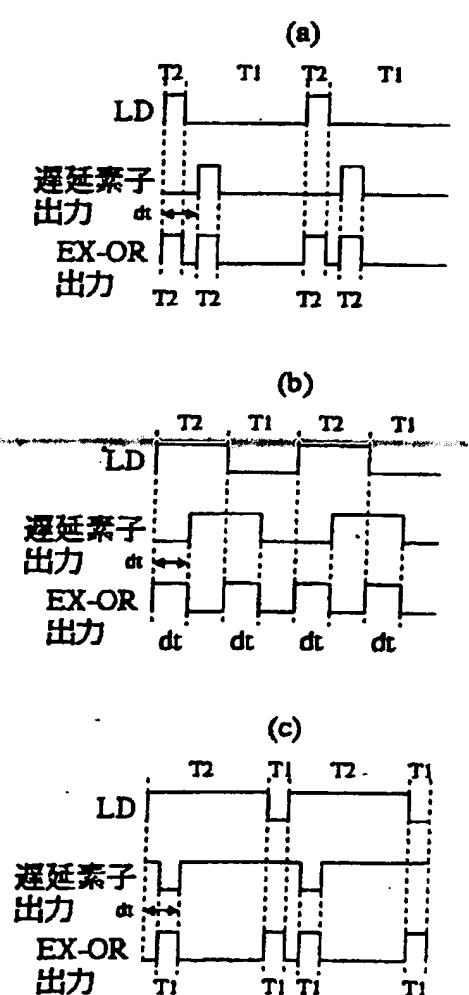
第 6 図



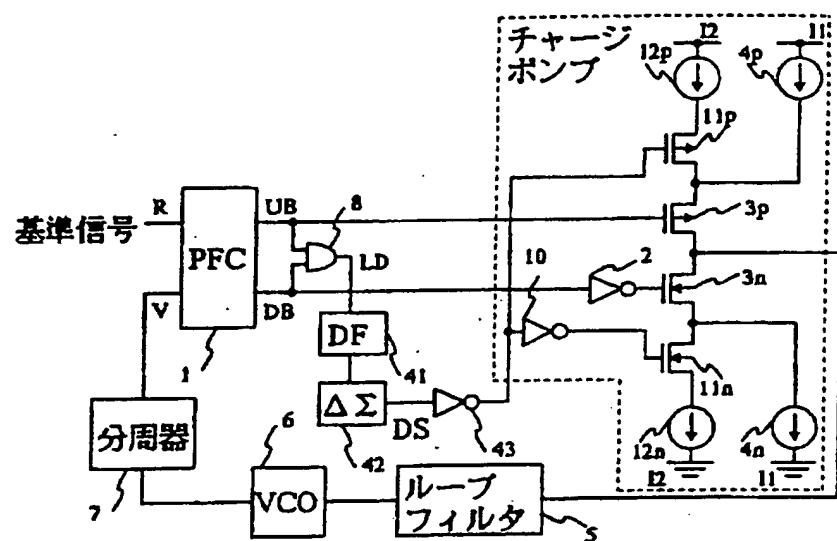
### 第 7 図



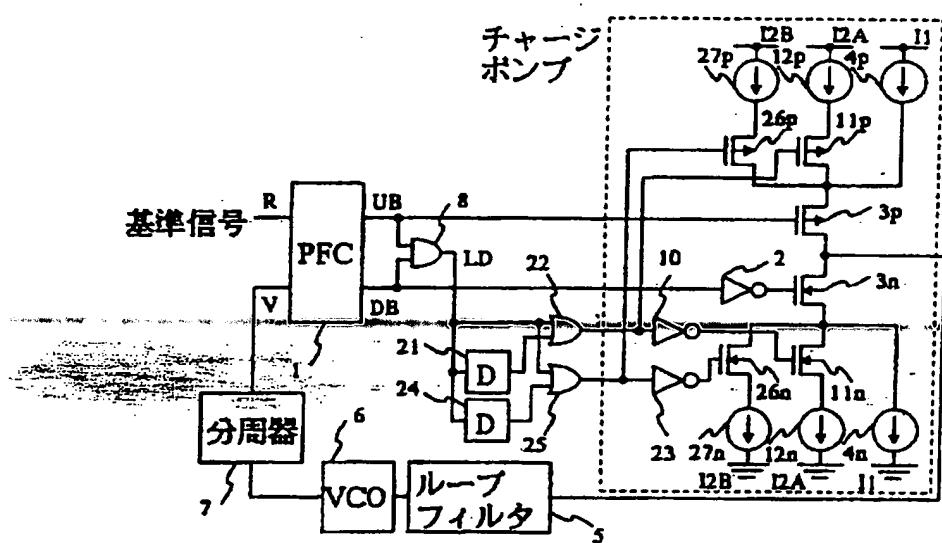
第 8 図



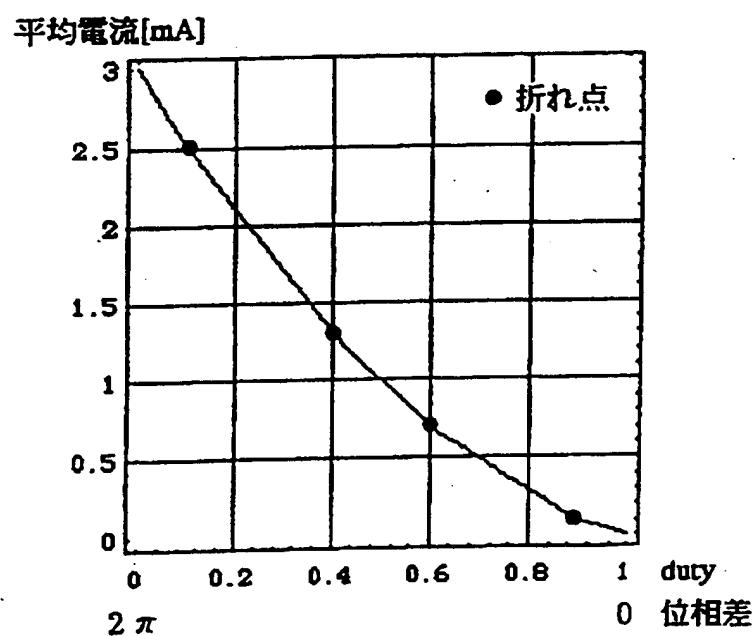
第 9 図



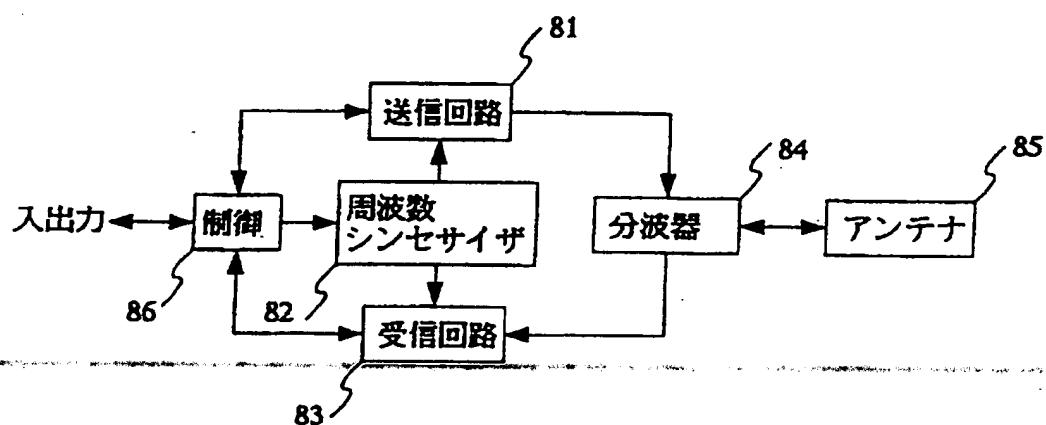
第10圖



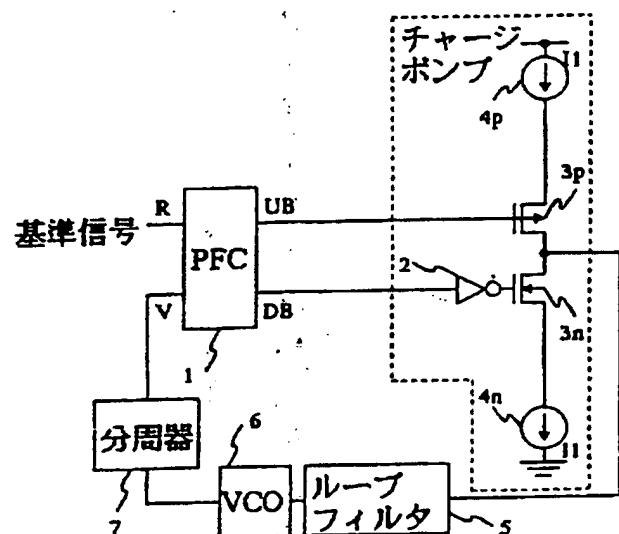
第 11 図



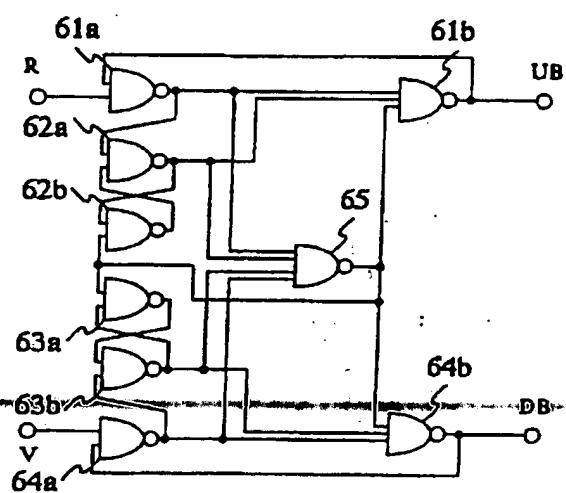
第12図



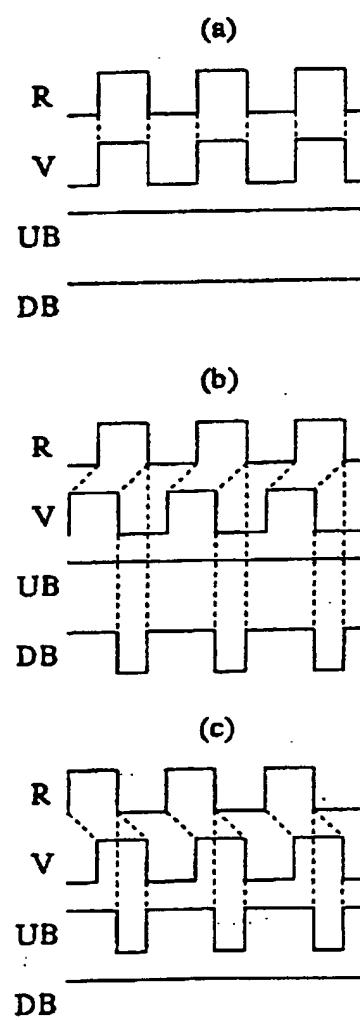
第13図



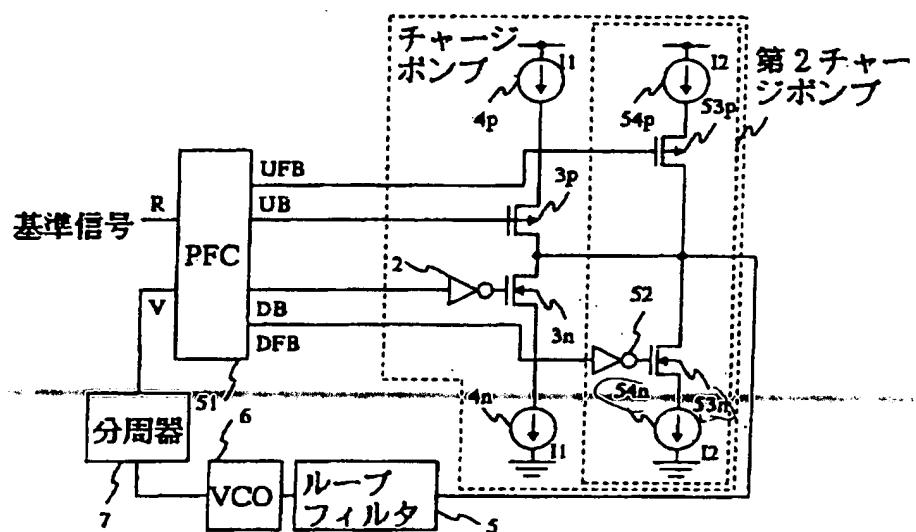
### 第14図



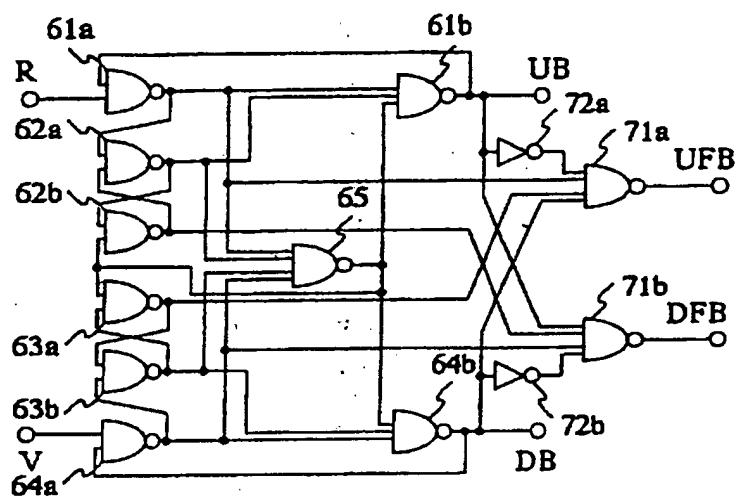
第15図



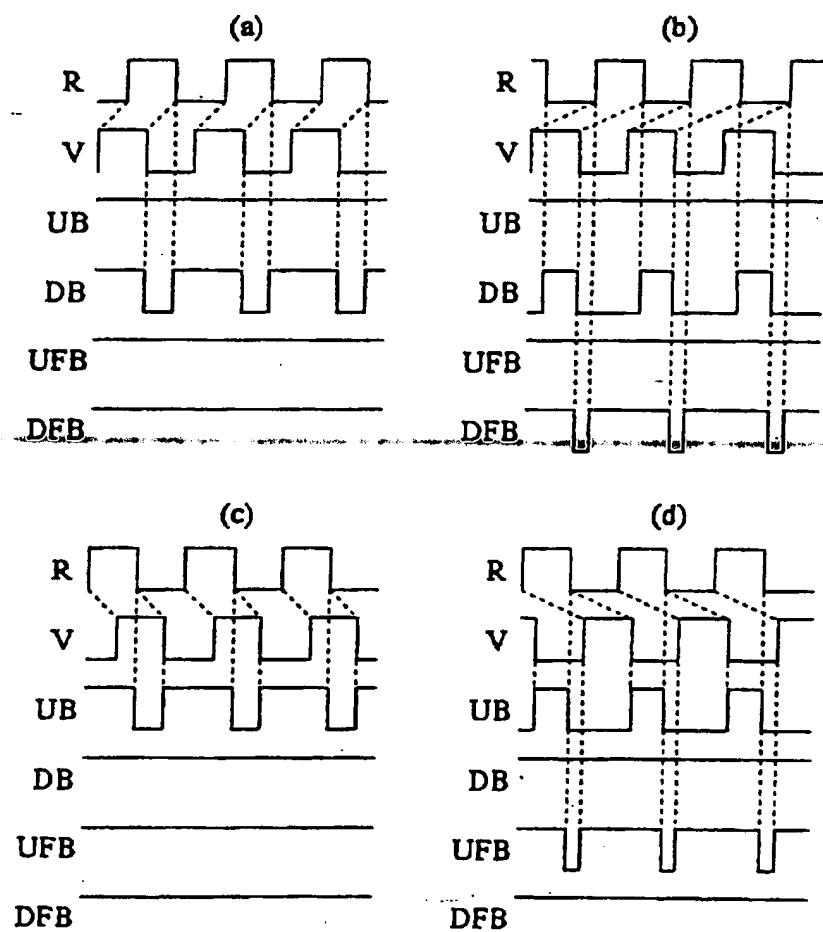
第 16 図



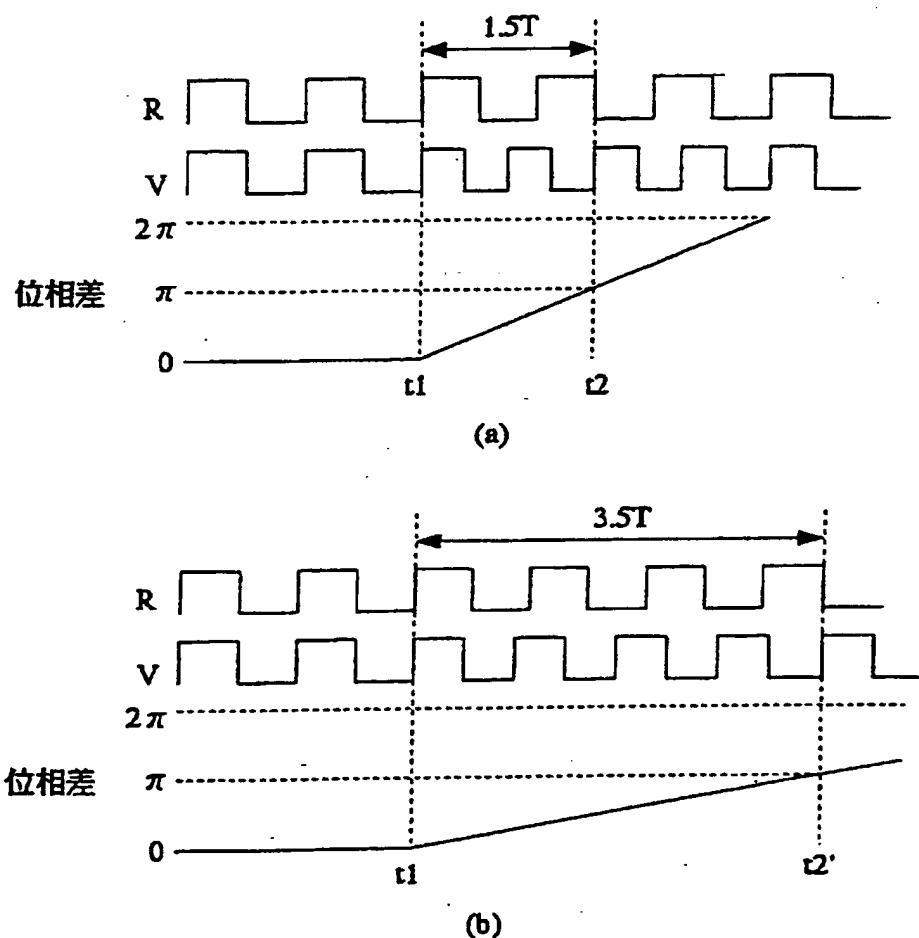
第 17 図



第18図



第19図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00477

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H03L7/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H03L7/18, H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category <sup>c</sup>	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 4-207322, A (Hitachi, Ltd.), July 29, 1992 (29. 07. 92), Fig. 7 (Family: none)	1 - 12
Y	JP, 63-90214, A (Matsushita Electric Ind. Co., Ltd.), April 21, 1988 (21. 04. 88), Fig. 5 & US, 4745372, A	1 - 12
Y	JP, 64-24630, A (Yokogawa Electric Corp.), January 26, 1989 (26. 01. 89), Fig. 3 (Family: none)	5 - 11

Further documents are listed in the continuation of Box C.

See patent family annex.

Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search

May 11, 1995 (11. 05. 95)

Date of mailing of the international search report

May 30, 1995 (30. 05. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl. H03L7/18

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. Cl. H03L7/18, H03L7/08

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年

日本国公開実用新案公報 1971-1995年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 4-207322, A(株式会社 日立製作所), 29. 7月. 1992(29. 07. 92), 第7図(ファミリーなし)	1-12
Y	JP, 63-90214, A(松下電器産業株式会社), 21. 4月. 1988(21. 04. 88), 第5図&U8, 4745372, A	1-12
Y	JP, 64-24630, A(横河電機株式会社),	5-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日  
 若しくは他の特別な理由を確立するために引用する文献  
 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日  
 の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と  
 矛盾するものではなく、発明の原理又は理論の理解のため  
 に引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規  
 性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文  
 献との、当査者にとって自明である組合せによって進歩性  
 がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

11. 05. 95

## 国際調査報告の発送日

30.05.95

## 名称及びあて先

日本国特許庁(ISA/JP)

郵便号100

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

彦田克文

5 J 9 1 8 2

電話番号 03-3581-1101 内線 3537

## C(続き) 関連すると認められる文献

引用文献 カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	26. 1月. 1989(26. 01. 89), 第3図(ファミリーなし)	